

УДК 681.5
ББК 32.965

ПОДХОД К ВЫБОРУ МЕТОДА ТЕСТИРОВАНИЯ СМЕШАННЫХ ИНТЕГРАЛЬНЫХ СХЕМ НА ОСНОВЕ СТОИМОСТНОЙ МОДЕЛИ

Мосин С. Г.¹

*(Владимирский государственный университет
им. А.Г. и Н.Г. Столетовых, Владимир)*

В работе предложена модель оценки стоимости тестирования смешанных ИС, учитывающая особенности используемой интегральной технологии и производственной линии. Представлен подход к выбору способа тестирования смешанных ИС, оптимального с точки зрения минимума стоимостных затрат на тестирование. Определены условия принятия решения по использованию методов внешнего или внутрисхемного тестирования, которые могут быть сформированы на основе предложенной модели уже на ранних стадиях процесса проектирования ИС. Приведены результаты экспериментальных исследований.

Ключевые слова: тестопригодное проектирование, интегральные схемы, стоимостная модель.

1. Введение

Развитие интегральных технологий и средств автоматизации проектирования интегральных схем (ИС) обеспечило возможность реализации электронных систем, содержащих на одном кристалле сотни миллионов транзисторов [4]. Переход к глубоко субмикронным и наноразмерным интегральным техно-

¹ Сергей Геннадьевич Мосин, кандидат технических наук, доцент (smosin@vlsu.ru).

логиям определяет увеличение плотности размещения транзисторов на единице площади кристалла, рост функциональной сложности реализуемых устройств, снижение напряжения питания и энергопотребления. Наряду с достоинствами использование современных интегральных технологий обостряет ряд проблем, связанных с обеспечением качества и надежности функционирования реализуемых ИС. В связи с этим возрастает роль процесса тестирования на всех стадиях производства ИС, а также увеличиваются временные и стоимостные затраты на реализацию тестовых мероприятий.

Уменьшение технологических норм и, как следствие, снижение размерности физических дефектов существенным образом влияют на снижение производительности и эффективности оптических инспекционных методов контроля и анализа дефектов в полупроводниковых структурах ИС. Возникает необходимость в проведении комплексных электрических измерений, полнота которых в условиях функционально сложных ИС с ограниченным числом внешних выводов является недостижимой без использования специальных внутрисхемных тестирующих решений. Как следствие, наблюдается переход к тестопригодному проектированию при реализации ИС, которое заключается в разработке тестового решения на ранних стадиях проектирования устройства. Предложенное решение реализуют в виде тестирующей подсхемы на одном кристалле с основным устройством, обеспечивая простоту и высокую эффективность тестирования произведенных ИС [1]. Тестирующую подсхему разрабатывают таким образом, чтобы упростить проверку проектируемой ИС в режиме тестирования, при этом ее работа не должна влиять на функционирование оригинальной схемы в нормальном режиме эксплуатации.

Тестирование смешанных (аналого-цифровых) ИС представляет сложную задачу, обусловленную необходимостью одновременной проверки работоспособности аналоговой и цифровой подсхем. Для проверки аналоговых подсхем используют преимущественно методы функционального тестирования, а для цифровых подсхем – структурного тестирования. Для

одновременного тестирования аналоговой и цифровой подсхем применяют дополнительные тестирующие подсхемы или специализированное тестовое оборудование, обладающее высокой сложностью и стоимостью.

Реализация тестирующих подсхем требует дополнительной площади кристалла и времени на проектирование, что влияет на увеличение стоимости разработки и производства ИС. В то же время тестирующие подсхемы позволяют повысить эффективность тестирования ИС, сократить время поиска неисправностей, снизить требования к используемому внешнему тестовому оборудованию, что в целом приводит к снижению затрат на проведение тестовых мероприятий. Современная тенденция среди разработчиков и производителей ИС – использование стратегии стоимостной оптимизации при выборе тестовых решений в ходе тестопригодного проектирования [2, 4–5].

В работе предложен подход к выбору тестового решения для аналоговых и смешанных ИС, основанный на модели оценки стоимости тестирования. Модель, представленная многопараметрической функцией, позволяет сравнить различные тестовые решения друг с другом и выбрать для проектируемой схемы наиболее подходящий тестовый механизм с точки зрения минимизации стоимостных затрат. В ходе выбора учитывается следующий набор параметров проектируемого устройства: используемая интегральная технология, объем партии изделий, сложность ИС (площадь кристалла), соотношение площади аналоговой и цифровой подсхем, стоимость используемых САПР и программных средств автоматического формирования тестовых наборов (*АТПГ*) и др. Предложенная модель обеспечивает механизм поддержки принятия решения при выборе способа тестирования проектируемой смешанной ИС, а также оптимизацию стоимостных затрат на стадию тестирования.

2. Модель оценки стоимости тестирования ИС

В общем случае стоимость тестирования электронных схем можно определить суммой трех компонентов:

$$(1) C_{total} = C_{prep} + C_{manuf} + C_{exec},$$

где C_{prep} – стоимость подготовки теста; C_{manuf} – стоимость производства тестирующей подсистемы; C_{exec} – стоимость выполнения теста [3].

2.1. ОЦЕНКА СТОИМОСТИ ПОДГОТОВКИ ТЕСТА

Стоимость подготовки (C_{prep}) связана с решением нескольких задач, таких как формирование теста, разработка программы (сценария) тестирования и проектирование тестирующей подсистемы. Стоимость подготовки теста можно представить выражением

$$(2) C_{prep} = (C_{TGen} + C_{TScen} + C_{TestCirDes} + C_{ATPG}) / Y,$$

где C_{TGen} – стоимость формирования теста; C_{TScen} – стоимость подготовки тестового сценария; $C_{TCirDes}$ – стоимость проектирования тестирующей подсистемы; C_{ATPG} – стоимость используемых средств САПР и программных средств автоматического формирования тестовых наборов (ATPG); Y – процент выхода годных микросхем. Слагаемые в (2) рассчитываются для одного кристалла из партии, а деление на Y позволяет вычислить стоимость подготовки теста с учетом количества исправных кристаллов.

Стоимость формирования теста – функция от стоимости человекозатрат и времени на разработку теста:

$$(3) C_{TGen} = C_{pers} (T_{TGen_ASC} + T_{TGen_DSC}) / V,$$

где C_{pers} – стоимость оплаты труда за час; T_{TGen_ASC} – время, затраченное на подготовку теста для аналоговой подсистемы ИС; T_{TGen_DSC} – время, затраченное на подготовку теста для цифровой подсистемы ИС; V – объем партии производимых ИС. Деление на V позволяет рассчитать стоимость формирования теста для каждого произведенного кристалла.

Подготовка сценария тестирования связана с описанием правил генерации автоматической тестовой установкой полученного тестового набора. Как правило, описание выполняют в виде программы на внутреннем языке генератора или путем загрузки таблиц с тестовыми наборами. Вычисление *стоимости*

подготовки сценария тестирования можно произвести двумя способами.

Если подготовка сценария тестирования осуществляется одновременно с формированием тестов, то C_{TScen} можно рассчитать, как часть стоимости формирования теста:

$$(4) \quad C_{TScen} = K_{intens} C_{TGen},$$

где K_{intens} – коэффициент трудоемкости подготовки сценария в процессе формирования теста, который принимает значение меньше 1.

Если формирование теста и подготовка сценария – две самостоятельные задачи, то C_{TScen} вычисляются по выражению

$$(5) \quad C_{TScen} = (C_{pers_ASC} T_{TScen_ASC} + C_{pers_DSC} T_{TScen_DSC}) / V,$$

где T_{TScen_ASC} и T_{TScen_DSC} – время, затраченное на подготовку тестовых сценариев для аналоговой и цифровой подсхем соответственно.

Стоимость проектирования дополнительной тестирующей подсхемы ($C_{TestCirDes}$) обусловлена затратами на разработку новой тестирующей подсхемы или адаптацию существующего тестового решения под специфику текущего проекта. Данное слагаемое выражения (2) можно вычислить следующим образом:

$$(6) \quad C_{TestCirDes} = (C_{TestASC} + C_{TestDSC}) / V,$$

где $C_{TestASC}$ и $C_{TestDSC}$ – стоимость проектирования тестирующей подсхемы для аналоговой и цифровой части проекта соответственно. Данные значения непосредственно зависят от сложности тестирующих подсхем

$$(7) \quad C_{TestASC} = C_{AnalogDes} A_{TestASC} / (A_{ASCTr} P_{ASC}),$$

$$(8) \quad C_{TestDSC} = C_{DigitalDes} A_{TestDSC} / (A_{DSCTr} P_{DSC}),$$

где $C_{AnalogDes}$ и $C_{DigitalDes}$ – относительная стоимость проектирования аналоговой и цифровой схемы; $A_{TestASC}$ и $A_{TestDSC}$ – площадь тестирующих подсхем для аналоговой и цифровой частей смешанной ИС; A_{ASCTr} и A_{DSCTr} – площадь транзистора аналоговой и цифровой подсхем соответственно; P_{ASC} и P_{DSC} – средняя продуктивность проектирования аналоговых и цифровых ИС соот-

ветственно. Данные параметры модели зависят от используемой интегральной технологии и выбранного тестового решения.

Стоимость C_{ATPG} связана с использованием $ATPG$ -средств, учитывает стоимость программного обеспечения и его амортизацию (9)

$$(9) \quad C_{ATPG} = C_{SW} T_{ATPG} K_{depr} / V,$$

где C_{SW} – стоимость программного обеспечения $ATPG$; K_{depr} – ставка амортизационных отчислений; T_{ATPG} – общее время, необходимое для автоматизированного формирования тестовых наборов для текущего проекта.

2.2. ОЦЕНКА СТОИМОСТИ ПРОИЗВОДСТВА ТЕСТИРУЮЩЕЙ ПОДСХЕМЫ

Стоимость производства тестирующей подсхемы (C_{manuf}) состоит из двух базовых частей – стоимости дополнительной площади кристалла для реализации тестирующей подсхемы ($C_{silicon}$) и стоимости ее тестирования ($C_{siliconTest}$):

$$(10) \quad C_{manuf} = (C_{silicon} + C_{siliconTest}) / Y,$$

$$(12) \quad C_{silicon} = C_{area} \left(\frac{A_{TestDSC} + A_{TestASC}}{Y_{TestCir}} - \frac{A_{TestDSC} + A_{TestASC}}{Y_{NoTestCir}} \right),$$

$$(13) \quad C_{area} = C_{wafer} / (A_{ASC} + A_{DSC} + A_{TestASC} + A_{TestDSC}),$$

$$(14) \quad C_{wafer} = C_{mask} + C_{lith},$$

$$(15) \quad C_{mask} = (C_{sml} N_{nml} + C_{smu} N_{nmu}) / V,$$

$$(16) \quad C_{lith} = (C_{wpm} N_{fpm} + C_{suw}) / N_{dpw},$$

где C_{area} – стоимость единицы площади кристалла; C_{wafer} – стоимость затрат на изготовление пластины с ИС; A_{ASC} и A_{DSC} – площадь аналоговой и цифровой подсхем ИС; C_{mask} – приведенная стоимость изготовления масок; C_{lith} – приведенная стоимость литографического процесса; C_{sml} – стоимость маски нижних слоев; C_{smu} – стоимость маски верхних слоев; N_{nml} – количество масок нижних слоев; N_{nmu} – количество масок верхних слоев; C_{wpm} – приведенная стоимость технологического процесса на одну маску; C_{suw} – стоимость заготовки полупроводниковой пластины; N_{fpm} – общее количество

масок; N_{dpw} – количество кристаллов на одной пластине; $Y_{TestCir}$ и $Y_{NoTestCir}$ – процент выхода годных изделий при использовании тестирующей подсистемы и без ее использования соответственно.

Стоимость ($C_{siliconTest}$) в основном определяют затраты на подготовку тестов для тестирующей подсистемы:

$$(17) C_{siliconTest} = C_{pers} (T_{TGen_ATSC} + T_{TGen_DTSC}) / V,$$

где T_{TGen_ATSC} – время, затраченное на подготовку теста для аналоговой тестирующей подсистемы ИС; T_{TGen_DTSC} – время, затраченное на подготовку теста для цифровой тестирующей подсистемы ИС.

2.3. ОЦЕНКА СТОИМОСТИ ВЫПОЛНЕНИЯ ТЕСТА

Стоимость выполнения теста (C_{exec}) обусловлена прямыми затратами на использование внешнего тестового оборудования и стоимостью расходных материалов для него:

$$(18) C_{exec} = (C_{ATE} + C_{Probe}) / Y,$$

где C_{ATE} – стоимость использования автоматизированного тестового оборудования на каждый кристалл; C_{Probe} – стоимость зондов, тестовых плат и т.п.

Стоимость использования автоматизированного тестового оборудования (АТО) вычисляют по выражению

$$(19) C_{ATE} = T_{test} (C_{ATEAct} + C_{ATEInact} (1 - K_{ATEUse})) / K_{ATEUse},$$

где K_{ATEUse} – коэффициент использования АТО (20); T_{ATEUse} – время использования АТО для тестирования ИС; $T_{ATETotal}$ – общее время использования АТО; C_{ATEAct} – стоимость активного использования АТО; $C_{ATEInact}$ – стоимость простоя АТО.

$$(20) K_{ATEUse} = T_{ATEUse} / T_{ATETotal}.$$

Стоимость расходных материалов (C_{Probe}) зависит от стоимости зондов и их рабочего ресурса:

$$(21) C_{Probe} = C_{card} / N_{probe_life},$$

где C_{card} – стоимость зонда; N_{probe_life} – количество тестируемых ИС до выхода из строя.

3. Подход к выбору тестового решения

Используемая интегральная технология, специфика технологической линии и выбранное тестовое решение влияют на значения слагаемых в (1). Суть подхода к выбору менее затратного по стоимости метода тестирования заключается в использовании предложенной стоимостной модели для расчета значений C_{total}^i , $i \in \{1, \dots, N\}$, для каждого из N альтернативных тестовых решений с учетом особенностей реализации конечного проекта и объема партии производства ИС.

Критерий выбора оптимального тестового решения

$$(22) C^k = \min(C_{total}^i)$$

позволяет определить k -е решение менее затратным для реализации в проекте ИС с сохранением требуемых показателей покрываемости неисправностей и эффективности тестирования.

Предложенная стоимостная модель позволяет уже на ранних стадиях проектирования принимать решение о выборе способа тестирования разрабатываемой ИС – внешнее (*off-chip*), не использующее тестирующих подсхем, и внутреннее (*on-chip*), использующее встраиваемые в ИС тестирующие подсхемы. Для каждого способа по выражению (1) проводят оценку и сравнение стоимости тестирования ($C_{on-chip}$ и $C_{off-chip}$). Достоинство предлагаемого подхода – возможность сравнения стоимости рассматриваемых тестовых решений в условиях неопределенности значений отдельных параметров модели, что является распространенной ситуацией на ранних стадиях проектирования.

Выполнение неравенства (23) – условие экономической эффективности использования внешнего тестирования [3]:

$$(23) C_{on-chip} > C_{off-chip},$$

где $C_{on-chip}$ – стоимость внутрисхемного тестирования; $C_{off-chip}$ – стоимость внешнего тестирования.

Выполнение неравенства (24) – условие экономической эффективности использования внутрисхемного тестирования:

$$(24) C_{on-chip} < C_{off-chip}.$$

Основное отличие стоимости подготовки теста для *on-chip* и *off-chip* подходов связано с показателем $C_{TestCirDes}$. Для *off-chip* методов тестирования данное слагаемое равно 0, а для *on-chip* методов его рассчитывают по выражению (6)

При реализации внешнего тестирования стоимость производства тестирующей подсистемы равна нулю ($C_{manuf}^{off} = 0$), а для внутрисхемного тестирования C_{manuf}^{on} представляет существенное значение.

Для внутрисхемных методов тестирования стоимость выполнения теста (C_{exec}^{on}) существенно меньше по сравнению с данным показателем для методов внешнего тестирования (C_{exec}^{off}) в силу использования стандартного и, как правило, менее дорогостоящего оборудования. Специализированное тестовое оборудование, необходимое для качественного внешнего тестирования, обладает чрезвычайно высокой стоимостью.

В общем случае совмещенная оценка выполнения неравенств (23) и (24) может быть выполнена путем контроля знака следующей разностной функции [3]:

$$(25) \text{sign}(C_{on-chip} - C_{off-chip}).$$

Если знак (25) положительный, то экономически более эффективно использование внутрисхемного тестирования, в противном случае – внешнего тестирования.

4. Экспериментальные исследования

С целью автоматизации проводимых экспериментов выполнена программная реализация модели в системе *MATLAB*. Для сокращения временных затрат на многопараметрические исследования в коде программы применены конструкции параллельных вычислений, позволяющие повысить эффективность расчетов при использовании многоядерных или многопроцессорных компьютеров.

Предложенная стоимостная модель и подход к выбору тестового решения использованы для оценки граничных условий экономической целесообразности применения внешних или внутренних методов тестирования смешанных ИС. Эксперимен-

ты проведены для интегральной технологии КМОП 0,35 мкм и технологической линии со следующими характеристиками (таблица 1).

*Таблица 1. Характеристики интегральной технологии
и технологической линии*

Характеристика	Значение
Размерность интегральной технологии	0,35 мкм
Эффективный диаметр пластины	200 мм
Коэффициент кластеризации дефектов	2
Плотность дефектов	0,0002210 шт./мм ²
Количество масок	34

Предлагаемая модель была использована для оценки объема партии производства ИС, при котором внешнее тестирование оказывается более целесообразным и экономически оправданным по сравнению с внутрисхемными решениями. Эксперимент проведен для различных значений площади кристалла ИС.

На рис. 1а представлена плоскость отображения разностной функции, рассчитанной по выражению (25) как функция от объема партии ИС и площади кристалла. Проведен анализ чувствительности стоимости тестирования ИС от объема партии производства ИС, результаты которого позволяют определить минимальный объем партии, обеспечивающий экономическую целесообразность использования внутрисхемных тестовых решений. В рассматриваемом примере данная величина $V = 5000$ при начальном условии, что площадь тестирующей подсхемы составляет 20% общей площади кристалла ИС (рис. 1б).

Анализ влияния изменения площади дополнительной тестирующей подсхемы на разностную функцию (25) позволяет оценить граничные условия экономической целесообразности применения встроенных тестовых решений в проектируемой смешанной ИС.

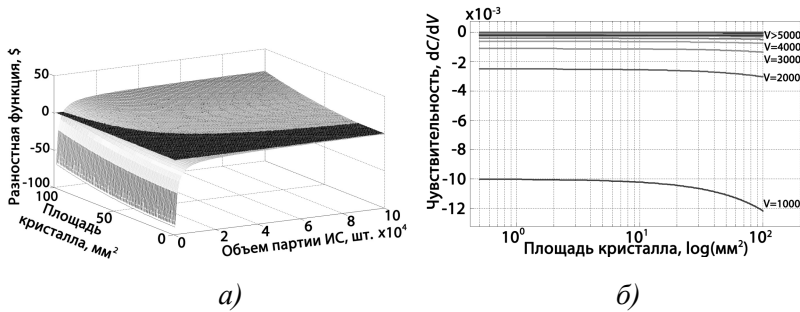


Рис. 1. Разностная функция (а), чувствительность стоимости $C_{on-chip}$ к объему партии производства ИС (б)

На рис. 2а представлена плоскость отображения разностной функции, построенная с учетом изменения доли площади тестирующей подсхемы от общей площади кристалла ИС (DA) для различных значений объема партии производства ИС. Анализ чувствительности стоимости тестирования $C_{on-chip}$ от изменения DA показывает нелинейный рост стоимости при увеличении площади тестирующей подсхемы (рис. 2б). При увеличении объема партии производства ИС степень влияния площади тестирующей подсхемы на стоимость тестирования существенно снижается.

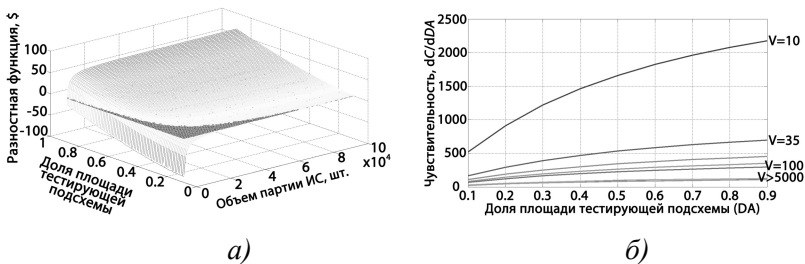


Рис. 2. Разностная функция (а), чувствительность стоимости $C_{on-chip}$ к доле площади тестирующей подсхемы ИС (б)

Существенное увеличение объема партии производства ИС определяет различную эффективность реализации *on-chip* (вы-

годно для малых партий) и *off-chip* (выгодно для больших партий) методов тестирования.

Можно отметить, что *on-chip* тестовые решения могут быть использованы для упрощения и снижения стоимости *off-chip* тестовых решений.

5. Заключение

В работе представлена стоимостная модель и подход к выбору способов тестирования смешанных ИС и соответствующих им тестовых решений, полученных в рамках подхода тестопригодного проектирования. Модель обеспечивает возможность выбора способа тестирования – внешнее или внутрисхемное – по критерию минимума стоимостных затрат с учетом особенностей используемой интегральной технологии, технологической линии, на которой осуществляется производство ИС, и объема партии. Полученные в ходе эксперимента данные подтверждают адекватность модели. Данная модель может выступать основой для построения подсистемы САПР поддержки принятия решения при выборе подхода и метода тестирования смешанных ИС, реализуемых по заказной интегральной технологии.

Работа выполнена в рамках проекта №7.4151.2011 государственного задания Министерства образования и науки РФ.

Литература

1. МОСИН С.Г. *Анализ методов тестопригодного проектирования аналоговых и смешанных ИС* // Изв. вузов. Электроника. – 2007. – №1. – С. 59–64.
2. KIELY P. Reducing costs with wafer-level test and burn-in / P. Kiely // *Solid State Technology*. – 2002. – Vol. 45, №6. – P. 97.
3. MOSIN S.G. *Selecting the Most Efficient DFT Techniques of Mixed-Signal Circuits Based on Economics Modeling* // *Proc. of IEEE East-West Design and Test Symposium (EWDTS'2007)*. – Yerevan, Armenia, 2007. – P. 158–161.

4. *The National Technology Roadmap for Semiconductors. Design* // Semiconductor Industry Association, 2009. – 42 p.
5. *The National Technology Roadmap for Semiconductors. Test and test equipment* // Semiconductor Industry Association, 2009. – 53 p.

APPROACH TO TEST METHOD SELECTION FOR MIXED-SIGNAL INTEGRATED CIRCUITS BASED ON COST MODEL

Sergey Mosin, Vladimir State University named after Alexander and Nicolay Stoletovs, Vladimir, Ph.D., Associate Professor (smosin@vlsu.ru).

Abstract: The model has been proposed of test cost estimation for mixed-signal integrated circuits (IC) taking into account features of integrated technology used and of fab production line. The approach of test technique selection to minimize test cost is suggested for mixed-signal IC. Decision rules are defined for both on-chip and off-chip test selection, which can be developed on the base of the proposed model already at early stages of IC design. Experimental results have been shown.

Keywords: design-for-testability, integrated circuits, cost model.

Статья представлена к публикации членом редакционной коллегии М. Ф. Караваем